

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H05K 3/42

H05K 3/46 H05K 1/11

[12] 发明专利申请公开说明书

[21] 申请号 02105395.2

[43] 公开日 2002 年 10 月 16 日

[11] 公开号 CN 1374827A

[22] 申请日 2002.2.28 [21] 申请号 02105395.2

[30] 优先权

[32] 2001.2.28 [33] JP [31] 55476/01

[32] 2001.5.24 [33] JP [31] 155501/01

[32] 2002.1.31 [33] JP [31] 024817/02

[71] 申请人 古河电气工业株式会社

地址 日本东京都

[72] 发明人 古谷修一

[74] 专利代理机构 北京市柳沈律师事务所

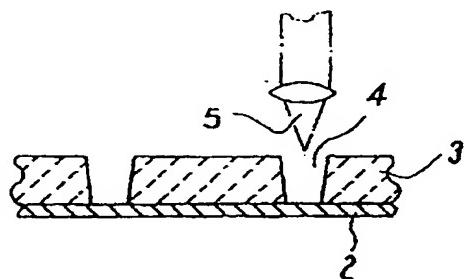
代理人 杨 梧 马高平

权利要求书 5 页 说明书 25 页 附图页数 20 页

[54] 发明名称 带孔的组合用多层基板及其制造方法

[57] 摘要

一种带孔的组合用多层基板及其制造方法，其微细化孔的层间电连接的可靠性高。利用激光 5 在层积铜层 2 和绝缘树脂层 3 的基板 1 的所需位置形成孔 4，将基板 1 在铜电镀浴中按箭头 A 进行圆形摇摆，使孔 4 内部的电镀液产生涡流，然后进行电镀，使孔 4 内壁部表面的电解淀积层形成得比绝缘树脂层表面 3a 的电解淀积层厚。



I S S N 1 0 0 8 - 4 2 7 4

形摇摆而持续进行电镀，从而用电解淀积层 16a 填满通孔 14。

利用该方法，由铜喷镀电解淀积层 16a 填满通孔 14 的带孔组合用基板，提高了电连接的可靠性。并且，由于可在填充通孔的同时形成规定的电路，故生产效率高。

5 如上所述，用电解淀积层填充绝缘树脂层的直到铜层的孔的实施例 2、在绝缘树脂层的通孔形成电解淀积层的实施例 3、用电解淀积层填充通孔的实施例 4 或实施例 5 的带孔组合用基板，与上述实施例 1 所述的同样，如图 4 所示按规定间隔设置多个通孔，用作通用基板，或如图 5 所示，仅在形成电路必需的位置形成通孔，用作特定电路的基板。

10 实施例 7

参照图 12 (a) ~ 图 14 说明本发明的实施例 7。

图 12 (a) ~ 图 12 (d) 及图 13 (e) 是表示通孔的形成及圆形摇摆电镀工序的说明图，图 13 (f) 及图 14 是得到的基板的局部剖面图。

如图 12 (a) 的剖面图所示，基件 110 接合在载体铜箔 128 上。基件 110 15 将极薄铜箔 107 利用热压层积在绝缘树脂层 106 的单面上。绝缘树脂层 106 是 FR4 级的环氧树脂，厚 50 μm ，极薄铜箔 107 厚 5 μm ，与绝缘树脂层 106 相接的面的铜箔 107 的粗糙面粗糙度为 $Rz=2.5\mu\text{m}$ 。对极薄铜箔 107 进行 0.05~0.1 μm 左右的 Co-Cu 合金电镀 109，作为改善激光加工性能的处理。

载体铜箔 128 的厚度为 35 μm ，施加了 0.01 μm 左右的剥离层 127。

20 绝缘树脂层 106 的单面上具有极薄铜箔 107、Co-Cu 电镀合金 109 的基件 110 接合在设有剥离层 127 的载体铜箔 128 上，操作容易。

如图 12 (b) 的剖面图所示，剥去载体铜箔，形成在绝缘树脂层 106 的单面上具有极薄铜箔 107、Co-Cu 电镀合金 109 的基件 110。

然后，如图 12 (c) 的剖面图所示，自施加了改善激光加工性能的 Co-Cu 25 电镀合金 109 的极薄铜箔 107 侧，用 UV-YAG 激光 115，通过激光穿孔加工形成通孔 113。

然后，进行腐蚀，如图 12 (d) 的剖面图所示，形成厚 2.2 μm 的极薄铜箔 108。

30 然后，形成通孔 113，对绝缘树脂层 106 单面上具有经腐蚀形成厚度为 2.2 μm 的极薄铜箔 108 的基件，进行钝化处理、无电解电镀或活化处理，使基件 110 上可进行铜的电镀。

Multilayer base plate with holes for assembly and its producing method

Publication number: CN1374827

Publication date: 2002-10-16

Inventor: SHUICHI KOTANI (JP)

Applicant: FURUKAWA ELECTRIC CO LTD (JP)

Classification:

- International: H05K3/00; C25D5/00; C25D7/12; H05K3/42; H05K3/46;
H05K3/02; H05K3/10; H05K3/38; H05K3/00; C25D5/00;
C25D7/12; H05K3/42; H05K3/46; H05K3/02; H05K3/10;
H05K3/38; (IPC1-7): H05K3/42; H05K1/11; H05K3/46

- European: C25D5/00; C25D7/12; H05K3/42D

Application number: CN20021005395 20020228

Priority number(s): JP20010055476 20010228; JP20010155501 20010524;
JP20020024817 20020131

Also published as:

US2002170827 (A1)

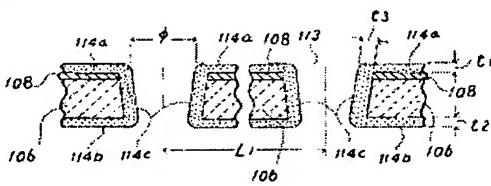
JP2003046250 (A)

[Report a data error here](#)

Abstract not available for CN1374827

Abstract of corresponding document: [US2002170827](#)

A multilayer substrate for a buildup with a via, which multilayer substrate comprises a base material comprising an insulation resin layer on which a predetermined hole is formed, wherein an electrodeposition layer is formed by circular oscillation electroplating on the inside wall surface of the hole and on the predetermined surface of the insulation resin layer, the electrodeposition layer on the inside wall surface of the hole being formed in a thickness greater than the electrodeposition layer formed on the surface of the insulation resin layer and a method for the production of the substrate.



Data supplied from the esp@cenet database - Worldwide